

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-345918

(43)Date of publication of application : 14.12.1999

(51)Int.Cl.

H01L 23/29
H01L 23/31
H01L 21/60
H01L 23/12
H01L 23/28

(21)Application number : 10-151362

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 01.06.1998

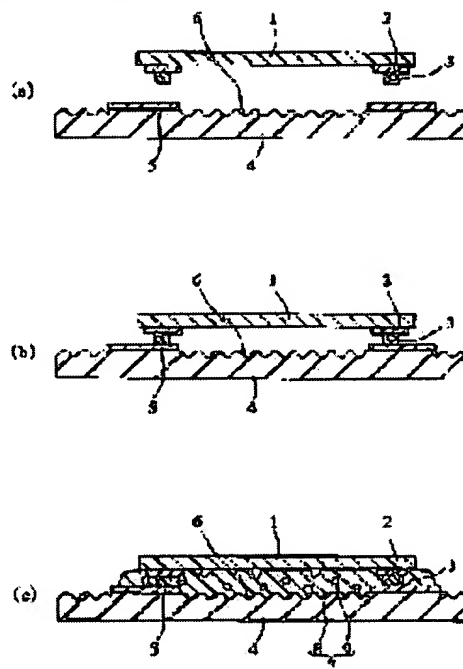
(72)Inventor : KUMANO YUTAKA
SHIRAISHI TSUKASA
BESSHO YOSHIHIRO

(54) METHOD FOR MOUNTING SEMICONDUCTOR DEVICE AND MOUNTED BODY

(57)Abstract:

PROBLEM TO BE SOLVED: To improve workability by mounting a semiconductor device to a circuit board having a fine uneven surface in a manner to make it face down, filling a clearance between the semiconductor device and circuit board with a liquid resin composition containing at least a resin and an inorganic filler whose shape is smaller than the irregularities of the circuit board, and curing them.

SOLUTION: Irregularities 6 are provided finely in advance on the surface of a circuit board 4 with a drill, laser or chemical treatment, etc., and while a semiconductor device 1 is made to face down, it is placed on the specified position of a connection electrode 5. Next, a clearance between the semiconductor device 1 and circuit board 4 is filled with a liquid resin composition 7, and it is heated at about 150°C and cured thereafter. The liquid resin composition 7 contains at least a resin 8 and an inorganic filler 9 whose shape is smaller than the irregularities 6 formed on the circuit board 4. Therefore, the inorganic filler 9 is prevented from entering the irregularities 6, suppressing the clogging of the liquid resin composition 7 due to high concentration.



LEGAL STATUS

[Date of request for examination]

03.07.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than

the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number] 2914569

[Date of registration] 16.04.1999

[Number of appeal against examiner's decision of
rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-345918

(43) 公開日 平成11年(1999)12月14日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 23/29

H 0 1 L 23/30

R

23/31

21/60

3 1 1 S

21/60

3 1 1

23/28

Z

23/12

23/12

F

23/28

審査請求 有 請求項の数13 O L (全 5 頁)

(21) 出願番号

特願平10-151362

(22) 出願日

平成10年(1998)6月1日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 熊野 豊

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 白石 司

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 別所 芳宏

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

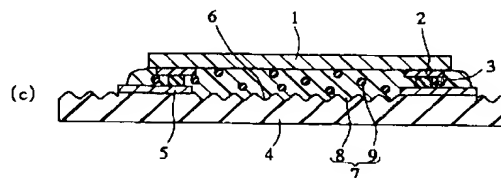
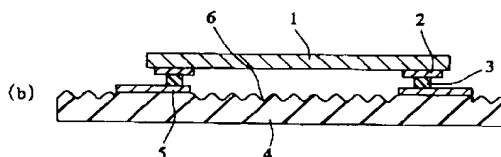
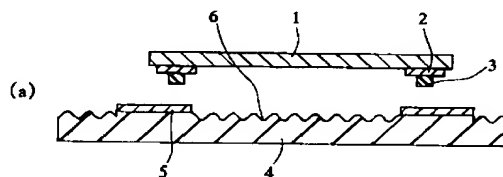
(74) 代理人 弁理士 池内 寛幸 (外 1 名)

(54) 【発明の名称】 半導体素子の実装方法とその実装体

(57) 【要約】

【課題】 信頼性の高い半導体素子の実装体、及びそのような実装体を作業性よく得ることができる半導体素子の実装方法を提供する。

【解決手段】 表面に微細な凹凸6を有する回路基板4に半導体素子1をフェースダウンで実装し、半導体素子1と回路基板4の間に樹脂8と微細な凹凸6よりも小さな形状を有する無機フィラー9とを含有する液状の樹脂組成物7を充填し、硬化する。



【特許請求の範囲】

【請求項 1】 半導体素子をフェースダウンで回路基板に実装する半導体素子の実装方法であって、表面に微細な凹凸を有する回路基板に半導体素子を実装し、前記半導体素子と前記回路基板の間隙に少なくとも樹脂と回路基板の前記微細な凹凸よりも小さな形状を有する無機フィラーとを含有する液状の樹脂組成物を充填し、前記液状の樹脂組成物を硬化することを特徴とする半導体素子の実装方法。

【請求項 2】 前記半導体素子を半田バンプを用いて前記回路基板に実装する請求項 1 に記載の半導体素子の実装方法。

【請求項 3】 前記半導体素子を導電性接着剤を用いて前記回路基板に実装する請求項 1 に記載の半導体素子の実装方法。

【請求項 4】 前記微細な凹凸が、回路基板にドリル又はレーザーで形成された請求項 1 に記載の半導体素子の実装方法。

【請求項 5】 前記微細な凹凸が、回路基板表面を化学的処理を施すことにより形成された請求項 1 に記載の半導体素子の実装方法。

【請求項 6】 前記表面に微細な凹凸を有する回路基板が、多孔質の回路基板である請求項 1 に記載の半導体素子の実装方法。

【請求項 7】 表面に微細な凹凸を有する回路基板と、前記回路基板にフェースダウンで実装された半導体素子と、前記半導体素子と前記回路基板の間隙に充填された、少なくとも樹脂と回路基板の前記微細な凹凸よりも小さな形状を有する無機フィラーを含有した樹脂組成物とを備えたことを特徴とする半導体素子の実装体。

【請求項 8】 前記半導体素子が半田バンプを用いて前記回路基板に実装されている請求項 7 に記載の半導体素子の実装体。

【請求項 9】 前記半導体素子が導電性接着剤を用いて前記回路基板に実装されている請求項 7 に記載の半導体素子の実装体。

【請求項 10】 前記微細な凹凸が、回路基板にドリル又はレーザーで形成されたものである請求項 7 に記載の半導体素子の実装体。

【請求項 11】 前記微細な凹凸が、回路基板表面に化学的処理を施すことにより形成されたものである請求項 7 に記載の半導体素子の実装体。

【請求項 12】 前記表面に微細な凹凸を有する回路基板が、多孔質の回路基板である請求項 7 に記載の半導体素子の実装体。

【請求項 13】 前記微細な凹凸が、半導体素子の実装された表面にのみ形成されている請求項 7 に記載の半導体素子の実装体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体素子の実装方法とその実装体に関し、特にフェースダウンで実装してなる半導体素子の実装方法とその実装体に関する。

【0002】

【従来の技術】従来、半導体素子の回路基板上への実装方法としては、半田付けが一般的であった。しかし近年、半導体素子のパッケージの小型化と接続端子数の増加により、接続端子間の間隔が狭くなり、従来の半田付け技術によって対処することが次第に困難になってきた。

【0003】そこで最近では、裸の半導体素子を回路基板上に直付けすることによって、実装面積の小型化と効率的使用を図ろうとする方法が考え出されてきた。その一例としては次のようなものがある。すなわち、半導体素子を回路基板に接続する際に、端子電極上にあらかじめ密着金属や拡散防止金属の蒸着膜と、メッキによって形成された半田層とを積層した電極構造を有する半導体素子をフェースダウンにし、高温に加熱して半田を回路基板の接続電極に融着するようにしたものである。この実装構造は、接続後の機械的強度が強くなり、接続を一括して行うことができることなどから、有効な方法であるとされている。また、米国特許第 5 1 2 1 1 9 0 号明細書には、半田による接合部の安定性を確保するために樹脂封止された半導体素子の実装体が開示されている。

【0004】以下、従来の半導体素子の実装方法とその実装体の一例について説明する。

【0005】図 3 は従来技術による半導体素子の実装方法とその実装体の要部断面図である。図 3 において、1 は半導体素子、2 は半導体素子 1 の端子電極、4 は回路基板、5 は接続電極、11 は半田による接合部、12 は封止樹脂である。

【0006】以下、このような構成を有する半導体素子の実装体の実装方法について概説する。

【0007】まず、半田バンプが端子電極 2 の上に形成された半導体素子 1 を、回路基板 4 の接続端子 5 の所定の位置に位置合わせを行ってフェースダウンで搭載する。ついで、200℃～300℃の高温に加熱することにより、半田バンプを溶融して接続端子 5 に融着し、半導体素子 1 を半田による接合部 11 によって接続する。ついで、半導体素子 1 と回路基板 4 との間隙に液状の封止樹脂を充填し、150℃程度の温度で加熱硬化する。これにより、半導体素子 1 を封止樹脂 12 で封止した実装体を得ることができる。

【0008】

【発明が解決しようとする課題】しかし、上記のような従来の半導体素子の実装体には、次のような問題点がある。すなわち、半導体素子を使用する際に、半導体素子 1 と回路基板 4 の熱膨張係数の差によって生ずる熱応力が半田による接合部 11 に加わる。更に、高温領域で使用する場合には、半導体素子 1 と回路基板 4 との間隙の

3

封止樹脂 12 の熱膨張によって生ずる新たな熱応力も半田による接合部 11 に加わる。このため、半導体素子 1 と回路基板 4 との接続の信頼性に乏しいといった問題点がある。

【0009】これを避けるには、封止樹脂 12 として熱膨張係数の小さなものを用いることにより、半田による接合部 11 の安定性を確保する必要がある。そして、これを実現するためには、封止樹脂 12 に無機フィラーを約 40～75 重量%（さらに好ましくは約 50～60 重量%）含有させなければならない。

【0010】しかし、このように封止樹脂 12 に無機フィラーを約 40～75 重量%も含有させると、封止樹脂 12 は硬化前の液状の状態でも粘度が高くなり、半導体素子 1 と回路基板 4 との狭い間隙に充填する際の作業性が悪いといった問題点がある。

【0011】本発明は、従来技術における前記課題を解決し、信頼性の高い半導体素子の実装体と、そのような実装体を作業性よく得ることができる半導体素子の実装方法を提供することを目的とする。

【0012】

【課題を解決するための手段】前記目的を達成するため、本発明は以下の構成とする。

【0013】即ち、本発明に係る半導体素子の実装方法は、半導体素子をフェースダウンで回路基板に実装する半導体素子の実装方法であって、表面に微細な凹凸を有する回路基板に半導体素子を実装し、前記半導体素子と前記回路基板の間隙に少なくとも樹脂と回路基板の前記微細な凹凸よりも小さな形状を有する無機フィラーとを含有する液状の樹脂組成物を充填し、前記液状の樹脂組成物を硬化することを特徴とする。

【0014】上記の構成によれば、半導体素子と表面に微細な凹凸が形成された回路基板の間隙に樹脂と無機フィラーとを含有する液状の樹脂組成物を充填する際に、無機フィラーが回路基板の表面の微細な凹凸よりも小さな形状を有するので、液状の樹脂組成物中の樹脂だけでなく無機フィラーをも、回路基板に形成された微細な凹凸に充填することができる。その結果、半導体素子と回路基板の間隙の無機フィラー濃度が各箇所所一定に保たれ、無機フィラーが微細な凹凸に入り込めず、無機フィラー濃度が高くなるということに起因する半導体素子と回路基板との間隙中での無機フィラーを含有する液状の樹脂組成物の詰まりを抑制することができる。したがって、封止樹脂の充填工程の作業性が向上する。また、無機フィラーを高濃度に含有でき、しかもこれを均一に分散できるので、封止樹脂の熱膨張むらが少なく、接合部の信頼性が高い実装体を得ることができる。よって、本発明において無機フィラーが「回路基板の微細な凹凸よりも小さな形状を有する」とは、上記趣旨より、回路基板表面に形成された微細な凹凸の凹部に無機フィラーが入り込むことが可能であるほどに無機フィラーが凹凸よ

4

り小さいことを意味し、より詳しくは、無機フィラーが前記凹部に入った場合に当該凹部の両側の凸部の頂点を結ぶ直線より無機フィラーが上にはみ出さないほどに無機フィラーが凹凸より小さいことを意味する。

【0015】上記の構成において、前記半導体素子を半田バンプを用いて前記回路基板に実装するのが好ましい。かかる好ましい構成によれば、接続を一括して行うことができるので、実装の作業性が向上する。また、半導体素子を回路基板に接続した後の機械的強度が強くなり、信頼性も向上する。

【0016】また、上記の構成において、前記半導体素子を導電性接着剤を用いて前記回路基板に実装するのが好ましい。かかる好ましい構成によれば、半導体素子を回路基板に搭載するだけで簡単に実装することができるので、実装の作業性が向上する。なお、この際、半導体素子に突起電極を形成し、突起電極に導電性接着剤を付着させて回路基板に搭載してもよい。かかる構成によれば、導電性接着剤の突起電極への付着を、突起電極を導電性接着剤浴へ浸すことにより容易に一括して転写できるので、作業性が向上する。

【0017】また、上記の構成において、前記微細な凹凸が、回路基板にドリル又はレーザー等で形成されるのが好ましい。かかる好ましい構成によれば、任意の形状及び大きさの凹凸を形成することが容易にできるので、無機フィラーの選択の幅が広がる。また、無機フィラーの径に応じて凹凸の大きさ変えれば、無機フィラーを確実に凹凸に充填させることができる。

【0018】また、上記の構成において、前記微細な凹凸が、回路基板表面を化学的処理を施すことにより形成されるのが好ましい。かかる好ましい構成によれば、一括して凹凸を形成することができるので作業性が向上する。また、化学的処理の時間を選択することにより、任意の大きさの凹凸を形成することが容易にできるので、無機フィラーの選択の幅が広がる。また、無機フィラーの径に応じて凹凸の大きさ変えれば、無機フィラーを確実に凹凸に充填させることができる。

【0019】また、上記の構成において、前記表面に微細な凹凸を有する回路基板が、多孔質の回路基板であるのが好ましい。かかる好ましい構成によれば、多孔質の凹凸の大きさに応じて無機フィラーの径を変えれば、無機フィラーを確実に凹凸に充填させることができる。

【0020】また、本発明にかかる半導体素子の実装体は、表面に微細な凹凸を有する回路基板と、前記回路基板にフェースダウンで実装された半導体素子と、前記半導体素子と前記回路基板の間隙に充填された、少なくとも樹脂と回路基板の前記微細な凹凸よりも小さな形状を有する無機フィラーを含有した樹脂組成物とを備えたことを特徴とする。

【0021】上記の構成によれば、半導体素子と回路基板との間の封止樹脂に含有された無機フィラーが回路基

板の表面の微細な凹凸よりも小さな形状を有するので、無機フィラーは微細な凹凸部にも均一に入り込むことができる。したがって、封止樹脂中に無機フィラーを高濃度かつ均一に分散した実装体とすることができ、封止樹脂の熱膨張むらが少なく、接合部の信頼性が高い実装体を得ることができる。

【0022】上記の構成において、前記微細な凹凸が、半導体素子が実装された表面にのみ形成されているのが好ましい。かかる好ましい構成によれば、裏面に別の要領で実装する場合、その実装の妨げにならない。

【0023】

【発明の実施の形態】以下、実施例を用いて本発明をさらに具体的に説明する。

【0024】図1は本発明に関わる半導体素子の実装方法の一実施例を示す工程図、図2は本発明に関わる半導体素子の実装体の一実施例を示す要部断面図である。

【0025】図1、図2において、1は半導体素子、2は端子電極、3は導電性接着剤、4は回路基板、5は接続電極、6は回路基板4に施された微細な凹凸、7は液状の樹脂組成物、8は樹脂、9は無機フィラー、10は硬化後の樹脂組成物である。

【0026】以下、このような構成を有する半導体素子の実装方法について、図1を参照しながら説明する。

【0027】まず、図1(a)に示すように、半導体素子1の端子電極2にあらかじめ導電性接着剤3を形成しておく。この場合、導電性接着剤3は端子電極2の上に直接形成してもよいし、端子電極2にあらかじめ形成した突起電極（バンプ）上に形成してもよい。一方、回路基板4の表面には、ドリルやレーザーなどであらかじめ微細な凹凸6を施しておく。この場合、化学的処理によって回路基板4の表面に微細な凹凸を施してもよい。また、多孔質の基板材料を回路基板4として用いてもよい。

【0028】次いで、この半導体素子1をフェースダウン（下向き）にして回路基板4の接続電極5の所定の位置に位置合わせを行い、回路基板4の上に半導体素子1を搭載する。これにより、半導体素子1の端子電極2と回路基板4の接続電極5とが導電性接着剤3によって電気的に接続される（図1(b)）。

【0029】次いで、図1(c)に示すように、半導体素子1と回路基板4との間隙に液状の樹脂組成物7を充填する。そして、150℃程度の温度で加熱することにより、液状の樹脂組成物7を硬化する。

【0030】これにより、図2に示すような半導体素子1の実装体を得ることができる。

【0031】このとき用いる液状の樹脂組成物7には、少なくとも樹脂8（例えばエポキシ樹脂）と無機フィラー9（例えばシリカ）とが含有されており、かつ、無機フィラー9としては回路基板4に形成された微細な凹凸6よりも小さな形状のものが用いられている。これによ

り、無機フィラー9が回路基板4に形成されている微細な凹凸6に入り込めず、無機フィラー9の濃度が高くなることに起因する半導体素子1と回路基板4との間隙中での無機フィラー9を含有する液状の樹脂組成物7の詰まりを抑制することができる。したがって、封止樹脂の充填工程の作業性が向上する。また、半導体素子1と回路基板4との間隙に存する硬化後の樹脂組成物10において、無機フィラー9の濃度を高濃度としても、無機フィラー9の濃度が各箇所において一定となり、封止樹脂の熱膨張むらが少なくなり、接合部の信頼性が向上する。以上の結果、半導体素子1の実装体は信頼性高いものを得ることができる。

【0032】尚、半導体素子1は導電性接着剤3を用いて回路基板4に実装されているが、必ずしも導電性接着剤3に限定されるものではなく、例えば半田バンプを用いて実装するなど、他の方法で半導体素子1を実装してもよい。

【0033】また、回路基板4の表面にドリルやレーザーなどであらかじめ微細な凹凸6を施す場合、用いるドリルやレーザーによって微細な凹凸の大きさを制御することができる。そこで、使用する無機フィラーに応じて形成する凹凸の大きさを制御すれば、微細な凹凸よりも小さな径を有する無機フィラーを含有する液状の樹脂組成物を確実に選択できるので、微細な凹凸に樹脂だけでなく無機フィラーをも確実に充填することができる。

【0034】更に、回路基板4の表面に化学的処理によってあらかじめ微細な凹凸6を施す場合、化学的処理を施す時間によって微細な凹凸の大きさを制御することができる。そこで、使用する無機フィラーに応じて形成する凹凸の大きさを制御すれば、微細な凹凸よりも小さな径を有する無機フィラーを含有する液状の樹脂組成物を確実に選択できるので、微細な凹凸に樹脂だけでなく無機フィラーをも確実に充填することができる。また、一括して凹凸を施すことができるので作業性がよい。

【0035】

【発明の効果】以上説明したように、本発明に関わる半導体素子の実装方法によれば、液状の樹脂組成物中の樹脂のみだけでなく無機フィラーをも、回路基板に施された微細な凹凸に充填することができる。このため、半導体素子と回路基板の間隙に液状の樹脂組成物を注入する際、無機フィラーが回路基板上の微細な凹凸に入り込めず、無機フィラーの濃度が高くなるということに起因する半導体素子と回路基板との間隙中での液状の樹脂組成物の詰まりを抑制することができる。したがって、封止樹脂の充填工程の作業性が向上する。また、無機フィラーを高濃度に含有でき、しかもこれを均一に分散できるので、封止樹脂の熱膨張むらが少なく、接合部の信頼性が高い実装体を得ることができる。以上の結果、半導体素子を回路基板に信頼性高く実装することができる。

【0036】また、本発明の半導体素子の実装体によれ

ば、半導体素子と回路基板との間の封止樹脂に含有された無機フィラーが回路基板の表面の微細な凹凸よりも小さな形状を有するので、無機フィラーは微細な凹凸部にも均一に入り込むことができる。したがって、封止樹脂中に無機フィラーを高濃度かつ均一に分散した実装体とすることができ、封止樹脂の熱膨張むらが少なく、接合部の信頼性が高い実装体を得ることができる。

【図面の簡単な説明】

【図 1】 本発明に関わる半導体素子の実装方法の一実施例を示す工程図である。

【図 2】 本発明に関わる半導体素子の実装体の一実施例を示す要部断面図である。

【図 3】 従来の半導体素子の実装体を示す要部断面図である。

【符号の説明】

1 半導体素子

2 端子電極

3 導電性接着剤

4 回路基板

5 接続電極

6 微細な凹凸

7 液状の樹脂組成物

8 樹脂

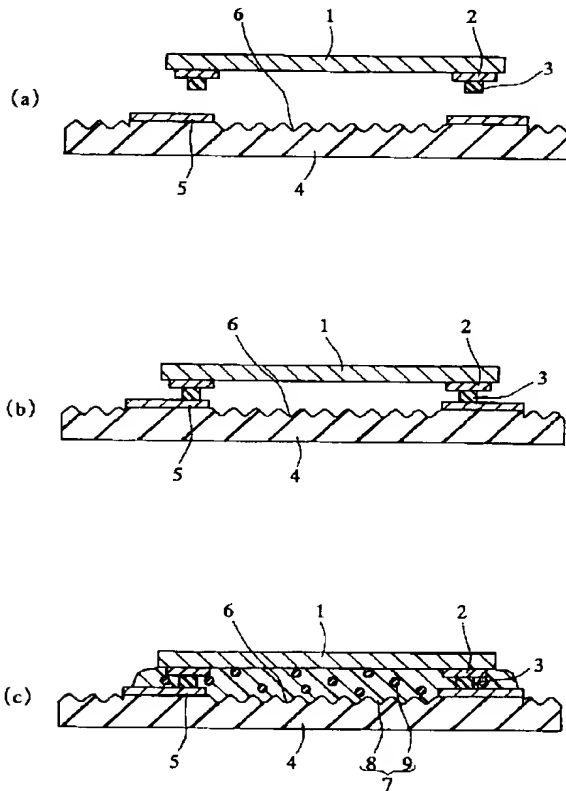
10 9 無機フィラー

10 硬化後の樹脂組成物

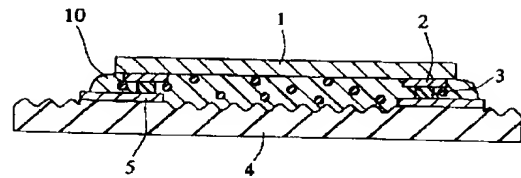
11 はんだバンプ

12 封止樹脂

【図 1】



【図 2】



【図 3】

